

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-298052
(P2003-298052A)

(43) 公開日 平成15年10月17日 (2003. 10. 17)

(51) Int.Cl. ⁷	識別記号	F I	テラワード(参考)
H 0 1 L 29/78	6 5 2	H 0 1 L 29/78	6 5 2 E 5 F 1 4 0
	6 5 2		6 5 2 F
			6 5 2 J
			6 5 2 K
			3 0 1 D
審査請求 未請求 請求項の数17 O L (全 9 頁)			

(21) 出願番号 特願2002-94361(P2002-94361)

(22) 出願日 平成14年3月29日 (2002. 3. 29)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 小 野 昇太郎

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(74) 代理人 100075812

弁理士 吉武 賢次 (外5名)

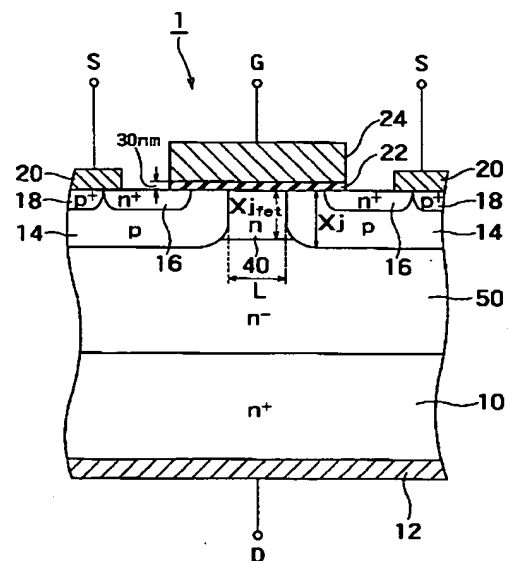
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 オン抵抗を低く維持したままでゲートドレイン間容量を低減する半導体装置を提供する。

【解決手段】 n^+ 型低抵抗半導体基板10上に形成された n^- 型高抵抗エピタキシャル層50と、 n^- 型高抵抗エピタキシャル層50の表面部に選択的に形成されたp型ベース層14と、p型ベース層14の表面部に選択的に形成された n^+ 型ソース層16と、 n^- 高抵抗エピタキシャル層50の表面部でp型ベース層14に挟まれるように選択的に形成され n^- 型高抵抗エピタキシャル層50よりも高い不純物濃度を有する N_{jfe} 層40と、ゲート絶縁膜22を介して形成されたゲート電極24と、ソース電極20と、ドレイン電極12と、を備えるパワーMOSFET1において、 N_{jfe} 層40を挟むp型ベース層14を、これらp型ベース層14からの空乏化が支配的となるように相互に近接して配置する。



【特許請求の範囲】

【請求項1】少なくとも表面部が第一導電型の低抵抗ドレイン層をなす半導体基板と、

前記低抵抗ドレイン層に接続された第一の主電極と、
前記低抵抗ドレイン層の上に形成された第一導電型の高抵抗エピタキシャル層と、

前記高抵抗エピタキシャル層の表面部に選択的に形成された第二導電型ベース層と、

前記第二導電型ベース層の表面部に選択的に形成された第一導電型ソース層と、

前記高抵抗エピタキシャル層の表面部で前記第二導電型ベース層に挟まれる領域に選択的に形成され、前記高抵抗エピタキシャル層よりも高い不純物濃度を有する第一導電型のj f e t層と、

前記第一導電型のj f e t層の表面の少なくとも一部と、前記第一導電型のj f e t層を挟んで隣り合う前記第二導電型ベース層の表面と、前記第二導電型ベース層の表面に隣接する前記第一導電型ソース層の表面とに形成されたゲート絶縁膜と、

前記ゲート絶縁膜の上に形成された制御電極と、

前記制御電極を挟むように、前記第一導電型ソース層と前記第一導電型ソース層に隣接する前記第二導電型ベース層の上に配設された第二の主電極と、を備え、

前記第一導電型のj f e t層を挟む前記第二導電型ベース層は、前記第二導電型ベース層からの空乏化が支配的となるように相互に近接して配置される、半導体装置。

【請求項2】前記制御電極の長手方向に直交する方向における前記第一導電型j f e t層の幅Lは、隣り合う前記制御電極間の幅にほぼ等しく、または隣り合う前記制御電極間の幅よりも狭いことを特徴とする請求項1に記載の半導体装置。

【請求項3】前記第二導電型ベース層の深さを X_j とすると、前記第一導電型j f e t層の前記幅Lは、次式 $L \leq X_j \times 0.7$

を満たすことを特徴とする請求項1または2に記載の半導体装置。

【請求項4】前記第一導電型j f e t層の深さは、前記第二導電型ベース層の深さとほぼ同一であることを特徴とする請求項1乃至3のいずれかに記載の半導体装置。

【請求項5】前記第一導電型j f e t層の不純物濃度Nは、次式

$$N \leq 4E12/L \text{ [cm}^{-3}\text{]}$$

を満たすことを特徴とする請求項2乃至4のいずれかに記載の半導体装置。

【請求項6】前記第二導電型ベース層と前記第一導電型j f e t層との接合境界面は、表面に近づくに従って表面に対して垂直になることを特徴とする請求項1乃至5のいずれかに記載の半導体装置。

【請求項7】前記ゲート絶縁膜のうち前記第一導電型j f e t層に対向する領域の少なくとも一部は、他の領域

よりも厚く形成されることを特徴とする請求項1乃至6のいずれかに記載の半導体装置。

【請求項8】前記ゲート絶縁膜および前記制御電極は、前記第一導電型j f e t層に対向する領域の一部が選択的に除去されて形成されることを特徴とする請求項1乃至6のいずれかに記載の半導体装置。

【請求項9】前記第一導電型j f e t層は、前記制御電極をマスクとして自己整合的に形成されることを特徴とする請求項8に記載の半導体装置。

【請求項10】前記第一導電型j f e t層の表面部に形成され、前記高抵抗エピタキシャル層よりも不純物濃度が高く前記第一導電型j f e t層よりも不純物濃度が低い第一導電型LDD層をさらに備えることを特徴とする請求項8または9に記載の半導体装置。

【請求項11】前記第一導電型LDD層は、前記制御電極をマスクとして自己整合的に形成されることを特徴とする請求項10に記載の半導体装置。

【請求項12】前記第一導電型j f e t層の表面ピーク濃度は、 $5E17 \text{ [cm}^{-3}\text{]}$ 以下であることを特徴とする請求項8乃至12のいずれかに記載の半導体装置。

【請求項13】前記第一導電型j f e t層は、それぞれが矩形の平面形状を有し、前記制御電極の長手方向に沿って周期的に配置され、前記第二導電型ベース層は、前記第一導電型j f e t層のそれぞれを取り囲むように形成されることを特徴とする請求項8乃至12のいずれかに記載の半導体装置。

【請求項14】前記第一導電型j f e t層は、それぞれが円形の平面形状を有し、前記制御電極の長手方向に沿って周期的に配置され、前記第二導電型ベース層は、前記第一導電型j f e t層のそれぞれを取り囲むように形成されることを特徴とする請求項8乃至12のいずれかに記載の半導体装置。

【請求項15】前記第一導電型j f e t層は、それぞれが多角形の平面形状を有し、前記制御電極の長手方向に沿って周期的に配置され、前記第二導電型ベース層は、前記第一導電型j f e t層のそれぞれを取り囲むように形成されることを特徴とする請求項8乃至12のいずれかに記載の半導体装置。

【請求項16】前記第一導電型j f e t層内に形成された絶縁層をさらに備えることを特徴とする請求項8乃至15のいずれかに記載の半導体装置。

【請求項17】前記絶縁層内に設けられ前記絶縁層に覆われるように形成され電位が固定される電極をさらに備えることを特徴とする請求項16に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特にパワーMOSFET (Metal Oxide Semiconductor Field Effect Transistor) 構造を有する半導体装置に関する。

【0002】

【従来の技術】近年、パワーMOSFETは、大電流、高耐圧のスイッチング電源の分野に加え、ノート型PC (Personal Computer) をはじめとする移動体通信機器等の省エネルギー用スイッチング分野での需要が急増している。パワーMOSFETは、これらの分野においてパワーマネジメント回路やリチウムイオン電池の安全回路などに使用されることが多いため、電池電圧で直接に駆動できるようにするための低電圧駆動化、低オン抵抗化、およびスイッチング損失低減のためのゲートドレイン間容量 Q_{GD} の低減などが強く求められている。

【0003】従来の技術による縦型パワーMOSFETについて図17の略示断面図を参照しながら説明する。なお、以下の各図において同一の部分には同一の参照番号を付し、その説明を適宜省略する。

【0004】図17に示すパワーMOSFET100において、 n^+ 型の低抵抗半導体基板10の下面にドレイン電極12が設けられ、また、低抵抗半導体基板10の上面に n^- 型の高抵抗エピタキシャル層50が形成されている。高抵抗エピタキシャル層50の表面部には、 p 型のベース層14が選択的に形成され、 p 型ベース層14の表面部には n^+ 型ソース層16が選択的に形成されている。また、 n^+ 型ソース層16に隣接するように p 型のベース層14の表面部に高濃度 p 型領域18が選択的に形成されている。高抵抗エピタキシャル層50の表面部において p 型のベース層14に挟まれた領域には、 n 型不純物が高抵抗エピタキシャル層50よりも高濃度でドーピングされた $Njfet$ 領域90が選択的に形成されている。 $Njfet$ 領域90の表面、これを挟む p 型のベース層14の表面および p 型のベース層14に隣接する n^+ 型ソース層16の表面の上には、ゲート絶縁膜92を介してゲート電極94が設けられている。また、このゲート電極94を挟むように、 n^+ 型ソース層16の表面および高濃度 p 型領域18の表面にはソース電極20が設けられている。

【0005】このような構造を有するパワーMOSFET100において、ゲートドレイン間容量 Q_{GD} を低減するためには、 $Njfet$ 領域90を空乏化し易くする必要がある。

【0006】

【発明が解決しようとする課題】しかしながら、 $Njfet$ 領域90を空乏化し易くするために $Njfet$ 領域90の不純物濃度を低くすると、素子のオン抵抗 R_{ON} が高くなり、その結果、耐圧が低下するという問題点があった。

【0007】本発明は上記事情に鑑みてなされたものであり、その目的は、低いオン抵抗を維持したまま $Njfet$ 領域を空乏化し易くし、ゲートドレイン間容量を低減できる半導体装置を提供することにある。

【0008】

【課題を解決するための手段】本発明は、以下の手段により上記課題の解決を図る。

【0009】即ち、本発明によれば、少なくとも表面部が第一導電型の低抵抗ドレイン層をなす半導体基板と、この低抵抗ドレイン層に接続された第一の主電極と、上記低抵抗ドレイン層の上に形成された第一導電型の高抵抗エピタキシャル層と、この高抵抗エピタキシャル層の表面部に選択的に形成された第二導電型ベース層と、この第二導電型ベース層の表面部に選択的に形成された第一導電型ソース層と、上記高抵抗エピタキシャル層の表面部で上記第二導電型ベース層に挟まれる領域に選択的に形成され上記高抵抗エピタキシャル層よりも高い不純物濃度を有する第一導電型の $jfet$ 層と、この第一導電型の $jfet$ 層の表面の少なくとも一部と、上記第一導電型の $jfet$ 層を挟んで隣り合う上記第二導電型ベース層の表面と、上記第二導電型ベース層の表面に隣接する上記第一導電型ソース層の表面とに形成されたゲート絶縁膜と、このゲート絶縁膜の上に形成された制御電極と、この制御電極を挟むように、上記第一導電型ソース層と上記第一導電型ソース層に隣接する上記第二導電型ベース層の上に配設された第二の主電極と、を備え、上記第一導電型の $jfet$ 層を挟む上記第二導電型ベース層は、上記第二導電型ベース層からの空乏化が支配的となるように相互に近接して配置される、半導体装置が提供される。

【0010】

【発明の実施の形態】以下、本発明の実施の形態のいくつかについて図面を参照しながら説明する。

【0011】(1) 第1の実施形態

図1は、本発明にかかる半導体装置の第1の実施の形態を示す略示断面図である。本実施形態の半導体装置の特徴は、 $Njfet$ 領域40が狭い幅で、かつ、高濃度で形成されている点にある。以下、本実施形態の半導体装置の構造を詳述する。

【0012】図1に示すパワーMOSFET1は、本発明を縦型のパワーMOSFETに適用したものであり、 n^+ 型低抵抗半導体基板10と、ドレイン電極12と、 n^- 型高抵抗エピタキシャル層50と、 p 型のベース層14と、 n^+ 型ソース層16と、 $Njfet$ 領域40と、ゲート電極24と、ソース電極20とを備える。

【0013】ドレイン電極12は、 n^+ 型低抵抗半導体基板10の一方の表面（図1において下面）に設けられ、 n^- 型高抵抗エピタキシャル層50は、 n^+ 型低抵抗半導体基板10の他方の面（図1において上面）に形成される。 p 型のベース層14は、 n^- 型高抵抗エピタキシャル層50の表面部に選択的に形成され、 n^+ 型ソース層16は、 p 型のベース層14の表面部に選択的に形成される。 p 型のベース層14の表面部には高濃度 p 型領域18が形成される。 $Njfet$ 領域40は、 n^- 型高抵抗エピタキシャル層50の表面部において p 型の

ベース層14に挟まれる領域に選択的に形成される。Njfet領域40の表面、これに隣接するp型ベース層14の表面およびp型ベース層14に隣接するn⁺型ソース層16の表面の上には、ゲート絶縁膜22を介してゲート電極24が設けられている。このゲート電極24を挟むように、n⁺型ソース層16の表面および高濃度p型領域18の表面にソース電極20が設けられている。

【0014】Njfet領域40は、本実施形態において特徴的な部分であり、図17との対比により明かなように、従来の技術によるパワーMOSFETのNjfet領域90よりも幅が狭くなるように形成され、その幅Lは、隣り合う2つゲート電極24の間隔と同程度、またはこれよりも狭い。このような狭い幅Lを有するようにNjfet領域40を形成することにより、Njfet領域40の空乏化の際にゲート電極24によるゲートドレイン間容量 Q_{GD} への寄与分が減少し、隣り合うp型のベース層14からの空乏化が支配的な構造が得られる。Njfet領域40の幅Lは、より具体的にはp型ベース層14の深さ $X_j = 1.0\mu m$ であるとき、 $L \leq 1.0\mu m$ であることがシミュレーションから判明している。

【0015】図2は、Njfet領域40の幅Lのシミュレーション結果を示すグラフである。同図に示すように、ゲート絶縁膜22がほぼ一定の厚さ約30nmで形成されているとき、 $L \leq 1.0\mu m$ の領域で $R_{ON}Q_{GD}$ が約24[mΩnC]以下の値をとり、特に、 $X_j \times 0.7$ 以下の領域で $R_{ON}Q_{GD}$ および耐圧BVのいずれにも顕著な効果が現われることが分かる。

【0016】図1に戻り、Njfet領域40は、p型ベース層40の深さ X_j とほぼ同様の深さ $X_{j\text{fet}}$ で形成され、また、p型ベース層40との接合境界面がNjfet領域40の表面に近づくにつれてその表面に対し垂直になるように形成される。

【0017】また、このようにNjfet領域40の幅Lを狭くすることにより、その表面濃度を約 $1E16 \sim 3E17 [cm^{-3}]$ の範囲まで高濃度化することが可能になり、これによりオン抵抗 R_{ON} も低減させることができる。

【0018】図3は、Njfet領域40の表面ドーズ量のシミュレーション結果を示すグラフである。同図に示すように、シミュレーションによれば、Njfet領域40の幅 $L = 1\mu m$ のとき、Njfet領域40の表面ドーズ量 $N \leq 4E \times 12$ のときに30V以上の耐圧BVが得られ、 $R_{ON}Q_{GD}$ の値も低いことが分かった。

【0019】(2) 第2の実施形態

図4は、本発明にかかる半導体装置の第2の実施の形態を示す略示断面図である。図1との対比により明かなように、本実施形態のパワーMOSFET3の特徴は、Njfet領域40が狭く、かつ、高濃度で形成されて

いる点に加え、Njfet領域40に対向する領域が厚くなるようにゲート絶縁膜23が形成されている点にある。より具体的には、ゲート絶縁膜23のうち、Njfet領域40に対向する領域23aは約90nmの厚さを有し、その他の領域は約30nmの厚さを有するように形成される。これにより、Njfet領域40に対向する領域においてゲート電極25をNjfet領域40から離隔させることができる。

【0020】Njfet領域40が狭く、かつ、高濃度で形成されているために、Njfet領域40の空乏化の際にp型のベース層14からの空乏化が支配的になるので、ゲート絶縁膜23およびゲート電極25のこのような構造を採用することが可能になる。

【0021】本実施形態のパワーMOSFET3によれば、Njfet領域40に対向する領域が他の領域よりも厚くなるように形成されたゲート絶縁膜23を介してゲート電極25が設けられているので、ゲート電極によるゲートドレイン間容量 Q_{GD} への寄与分をさらに低減することができる。

【0022】(3) 第3の実施形態

図5は、本発明にかかる半導体装置の第3の実施の形態を示す略示断面図である。図1との対比において明かなように、本実施形態のパワーMOSFET5の特徴は、ゲート電極28においてNjfet領域40に対向する部分が選択的に除去されている点にある。

【0023】このように、ゲート電極28を分割する構造を採用することにより、Njfet領域40の幅Lをさらに狭くすることができ、これにより、ゲートドレイン間容量 Q_{GD} がさらに低減して装置の動作速度がさらに高速になる。また、分割された構造のゲート電極28をマスクとしてn型不純物を注入することにより、Njfet領域40を自己整合的に製造することができる。

【0024】図6および図7は、本実施形態によるゲートドレイン間容量 Q_{GD} の低減を説明するための図である。図6は、図17に示す従来のパワーMOSFET100における電子密度を示し、図7は、Njfet領域の幅Lを狭めることなく図17のパワーMOSFET100のゲート電極を単に分割した場合の電子密度を示す。図6および図7のいずれについても、 V_{ds} として20Vを印加したときの電子密度を示す。

【0025】両図の対比から分かるように、従来例のパワーMOSFET100のゲート電極94を単に分割しただけでは、隣り合うp型ベース層14間の領域が広いためにゲートによる空乏化の割合が大きい。この結果、ゲートからの空乏化がなくなるために、耐圧が低下する。

【0026】図5に戻り、本実施形態のパワーMOSFET5は、Njfet領域40の表面部に形成されたLDD (Lightly Doped Drain) 領域44をさらに備える。このLDD領域44は、分割されたゲート電極28

をマスクとしてNjfet領域40にn型不純物イオンを浅く注入した後に熱拡散することにより自己整合的に形成される。

【0027】図8は、パワーMOSFET5のLDD領域44の不純物濃度の適正範囲をシミュレーションにより求めた結果を示すグラフである。同図に示すように、 $X_j = 0.8 \mu\text{m}$ 、 $L = 0.4 \mu\text{m}$ のとき、LDD領域44の不純物濃度 C_s は、約 $5 \times 10^{17} [\text{cm}^{-3}]$ を上限とすると、 $R_{\text{ON}}Q_{\text{GD}}$ の値を $10 [\text{m}\Omega\text{nC}]$ 以下にできることが分かる。

【0028】本実施形態のパワーMOSFET5が備えるゲート電極の平面形状について図9～図14を参照しながら説明する。

【0029】図9は、第1の例としてのゲート電極28'の平面形状を示す。本例のゲート電極28'は、2つに分割されているが、従来のパワーMOSFETのゲート電極と同様のストライプ形状をなすように形成されている。このような電極形状では、ゲート電極自体の抵抗が大きくなり、装置の高速化を妨げるという欠点がある。

【0030】そこで、まず、パワーMOSFET5のNjfet領域40について、n型高抵抗エピタキシャル層50の表面部においてゲート電極28の長手方向に沿ったストライプ状に形成するのではなく、例えばそれぞれが矩形の平面形状をなすように長手方向に周期的に配置し、それぞれの矩形領域をp型ベース層14が囲むように形成し、次に、図10の第2の例に示すように、分割されたゲート電極をNjfet領域40が下層に存在しない領域で周期的に相互に連結し、梯子のような平面形状を有するように形成する。これにより、周期的に配置されたNjfet領域40を周回するような平面形状でゲート電極28が設けられ、ゲート電極の抵抗を大幅に低減することができる。さらに、Njfet領域40の空乏化は、図9に示す例では紙面の横方向にのみが広がるが、Njfet領域40領域を周期的に配置することにより、全方位で広がっていく。これにより、装置の動作速度がさらに向上する。図10の切断線A-Aに沿った略示断面図を図11に示し、図10の切断線B-Bに沿った略示断面図を図12に示す。

【0031】図10に示す例では、p型ベース層14に囲まれるNjfet領域40の形状を矩形としたが、Njfet領域40の形状は、これに限ることなく、例えば図13に示す第3の例のように円形でも良く、また、図14に示す第4の例のように多角形でも良い。

【0032】(4) 第4の実施形態

図15は、本発明にかかる半導体装置の第4の実施の形態を示す略示断面図である。同図に示すパワーMOSFET7の特徴は、Njfet領域46内のほぼ中央にp型ベース層14の拡散深さと同程度の深さで設けられたトレンチ溝TR内に形成された絶縁膜54と、この絶縁

膜52内に設けられた固定電位の電極54をさらに備える点にある。

【0033】このように、p型のベース層14に挟まれた（または囲まれた）Njfet領域46内に絶縁膜52を設けることにより、ウェーハの表面に対して斜めの方角からのイオン注入が可能になる。これにより、高濃度で幅Lが狭いNjfet領域46を形成することができる。また、トレンチ溝TR内に絶縁膜52を介して電極54を設け、この電極54の電位を固定することにより、耐圧をさらに約5Vだけ向上させることができ、かつ、ゲートドレイン間容量 Q_{GD} をさらに約20%低減することができる。

【0034】(5) 第5の実施形態

図16は、本発明にかかる半導体装置の第5の実施の形態を示す略示断面図である。同図に示すパワーMOSFET9は、上述した第3の実施形態を横型のパワーMOSFETに適用したものである。即ち、p型ベース層14の外側の領域でn型高抵抗エピタキシャル層50の表面からこれを買いてその直下のn型低抵抗半導体層70に接合するようにn型低抵抗ドレイン層68が形成され、このn型低抵抗ドレイン層68の表面にドレイン電極62が設けられ、これにより、縦型パワーMOSFETを構成している。p型のベース層14に挟まれた（または囲まれた）Njfet領域40の幅Lが狭くなるように形成される点、Njfet領域40が高濃度で形成される点、ゲート電極28が分割されて設けられている点、およびNjfet領域40の表面部にLDD領域44が形成されている点は、図5に示すパワーMOSFET5と実質的に同一である。

【0035】以上、本発明の実施の形態のいくつかについて説明したが、本発明は上記形態に限られることなく、その技術的範囲内で種々変更して適用できることは明らかである。

【0036】

【発明の効果】以上詳述したとおり、本発明によれば、オン抵抗を低く維持したままでゲートドレイン間容量を低減できるので、約10V系の低耐圧から約100V系の耐圧まで、同様の設計で高性能化された半導体装置が提供される。

【図面の簡単な説明】

【図1】本発明にかかる半導体装置の第1の実施の形態を示す略示断面図である。

【図2】図1に示す半導体装置におけるNjfet領域の幅Lのシミュレーション結果を示すグラフである。

【図3】図1に示す半導体装置におけるNjfet領域の表面ドーズ量のシミュレーション結果を示すグラフである。

【図4】本発明にかかる半導体装置の第2の実施の形態を示す略示断面図である。

【図5】本発明にかかる半導体装置の第3の実施の形態

を示す略示断面図である。

【図6】図5に示す半導体装置によるゲートドレイン間容量 Q_{GD} の低減を説明するための図である。

【図7】図5に示す半導体装置によるゲートドレイン間容量 Q_{GD} の低減を説明するための図である。

【図8】図5に示す半導体装置のLDD領域の不純物濃度の適正範囲をシミュレーションにより求めた結果を示すグラフである。

【図9】図5に示す半導体装置が備えるゲート電極の平面形状の第1の例を示す平面図である。

【図10】図5に示す半導体装置が備えるゲート電極の平面形状の第2の例を示す平面図である。

【図11】図10の切断線A-Aに沿った略示断面図である。

【図12】図10の切断線B-Bに沿った略示断面図である。

【図13】図5に示す半導体装置が備えるゲート電極の平面形状の第3の例を示す平面図である。

【図14】図5に示す半導体装置が備えるゲート電極の平面形状の第4の例を示す平面図である。

【図15】本発明にかかる半導体装置の第4の実施の形態を示す略示断面図である。

【図16】本発明にかかる半導体装置の第5の実施の形態を示す略示断面図である。

【図17】従来の技術による縦型パワーMOSFETの一例を示す略示断面図である。

【符号の説明】

1, 3, 5, 5', 5'', 7, 9 パワーMOSFET

10 n⁺型低抵抗半導体基板

12, 62 ドレイン電極

14 p型ベース層

16 n⁺型ソース層

20 ソース電極

22, 23, 26 ゲート絶縁膜

24, 25, 28, 32, 34 ゲート電極

40, 42, 46 N_{ij}fet層

44, 48 LDD領域

50 n⁻型高抵抗エピタキシャル層

52 絶縁膜

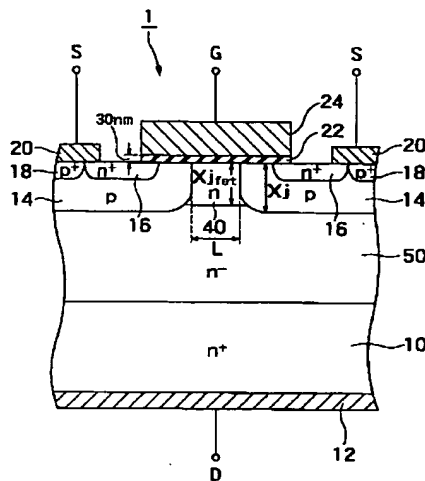
54 固定電位電極

70 n⁺型低抵抗半導体層

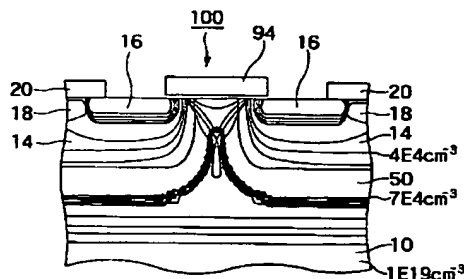
Q_{GD} ゲートドレイン間容量

TR トレンチ溝

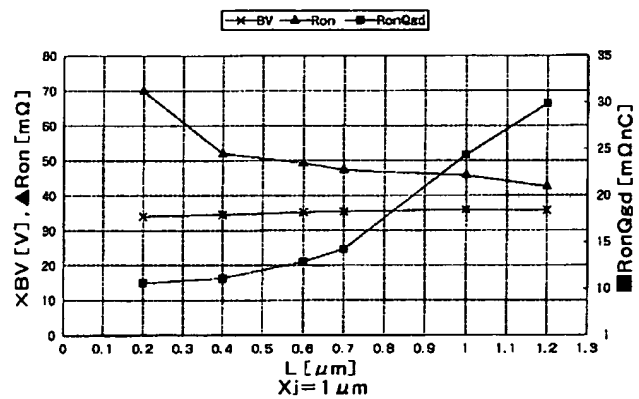
【図1】



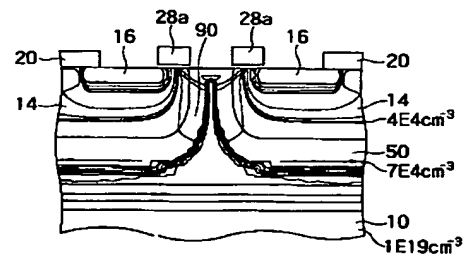
【図6】



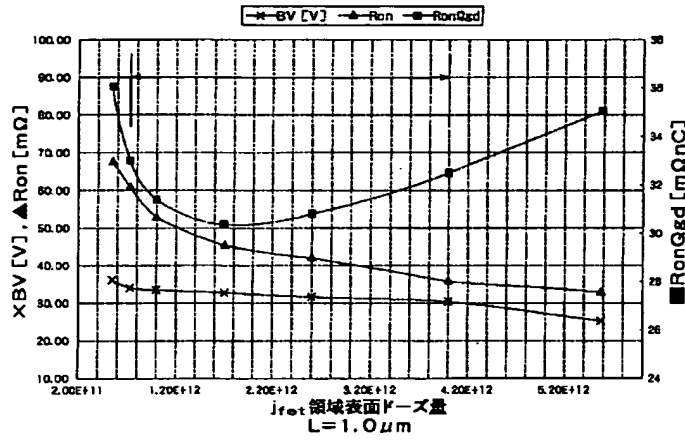
【図2】



【図7】

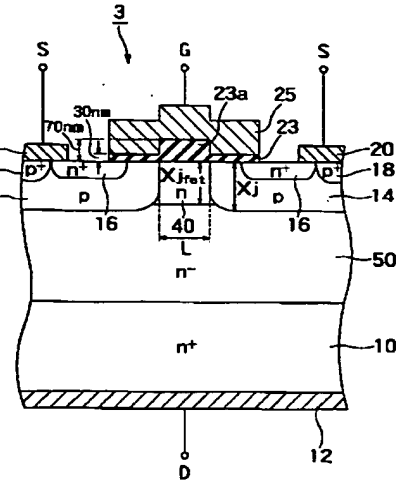


【図3】

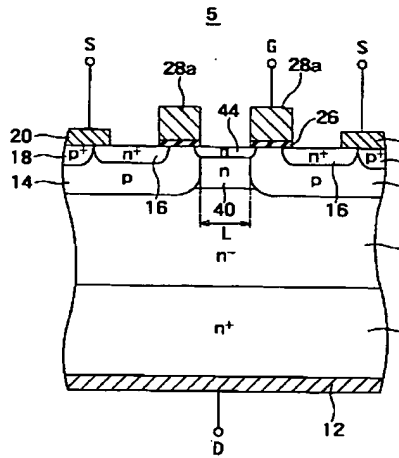


【図5】

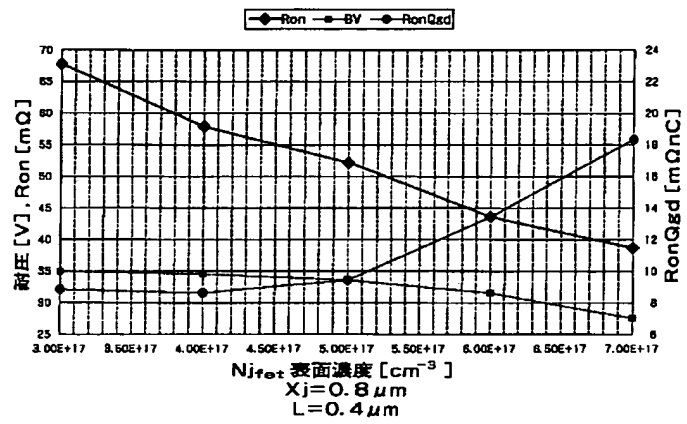
【図4】



【図8】

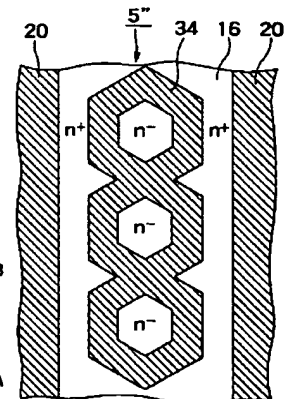
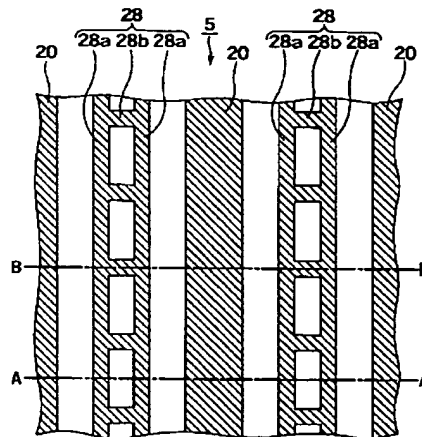
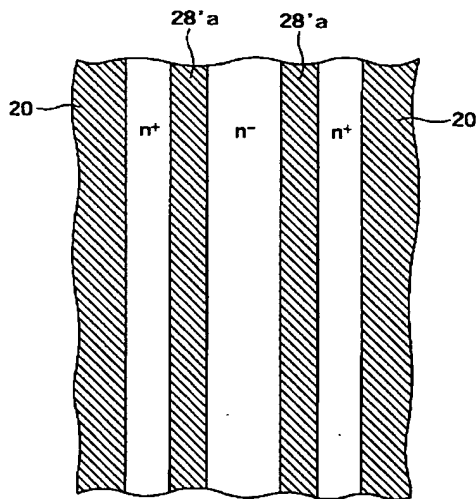


【図9】

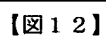


【図10】

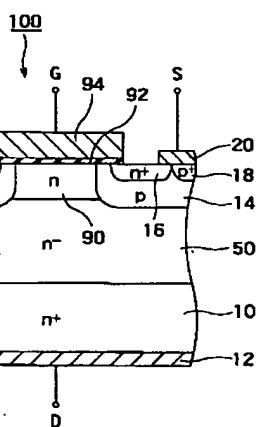
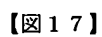
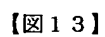
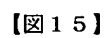
【図14】



【图 1 1】



【图 16】



フロントページの続き

(72)発明者 山 口 好 広
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内
(72)発明者 川 口 雄 介
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内
(72)発明者 中 村 和 敏
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内
(72)発明者 安 原 紀 夫
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(72)発明者 松 下 憲 一
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内
(72)発明者 帆 玉 信 一
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内
(72)発明者 中 川 明 夫
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内
Fターム(参考) 5F140 AA11 AA30 AC21 AC23 BF15
BF53 BH05 BH10 BH13 BH14
BH15 BH25 BH30 BH33 BK13
BK21